

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-072671**
 (43)Date of publication of application : **06.03.1992**

(51)Int.Cl.

H01L 29/788
G11C 16/02
G11C 16/04
H01L 29/792

(21)Application number : **02-184009**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **13.07.1990**

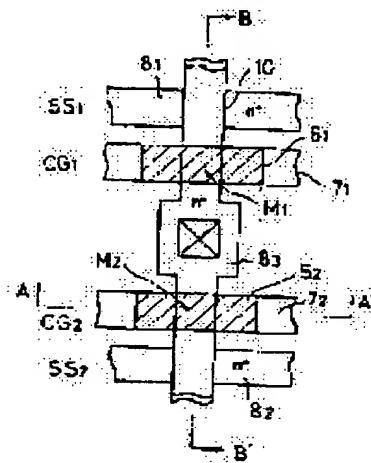
(72)Inventor : **ARITOME SEIICHI**
SHIRATA RICHIRO
KIRISAWA RYOHEI

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To enhance reliability by a method wherein, at an erasure operation, carriers of a floating gate are released by a tunneling operation between the floating gate and a well.

CONSTITUTION: When a data is written into a memory M1, a positive 'H' level potential is applied to a selected control gate line CG1 and a bit line BL; and a residual common source line SS, a p-type well nonselective control gate line CG2 and a nonselective bit line are all set to 0V. Then, when the data is erased collectively, all the control gate lines CG's are set to 0V, and a positive 'H' level potential which is boosted to be sufficiently high is applied to a substrate, a p-type well and the bit line BL. Thereby, in all memory cells, electrons are released, by a tunneling effect, to the p-type well from a floating gate. When the data is erased collectively and is written, a breakdown is not caused on the surface part of a source diffusion layer or a drain diffusion layer, and a data retention characteristic is enhanced.



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平4-72671

⑬ Int. Cl.

H 01 L 29/788
 G 11 C 16/02
 16/04
 H 01 L 29/792

識別記号

序内整理番号

⑬ 公開 平成4年(1992)3月6日

7514-4M H 01 L 29/78 371
 9191-5L G 11 C 17/00 307 D
 審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 平2-184009

⑯ 出 願 平2(1990)7月13日

⑰ 発明者 有留 誠一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 白田 理一郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 桐澤 充平 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 第1導電型の半導体基板に形成された第2導電型ウェルに複数のメモリセルが配列形成された不揮発性半導体記憶装置において、

前記メモリセルは、前記第2導電型ウェル内に形成された第1導電型のソースおよびドレイン拡散層、これらソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された浮遊ゲート、およびこの浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートを有し、

選択されたメモリセルをオン状態としてドレイン拡散層近傍でホットキャリアを生成し、そのホットキャリアを浮遊ゲートに注入する書き込みモードと、

所定範囲の複数のメモリセルの制御ゲートを0Vとし前記第2導電型ウェルに高電位を与えて、その範囲のメモリセルの浮遊ゲートのキャリアを

前記第2導電型ウェルにトンネル電流により放出させる消去モードと、

を有することを特徴とする不揮発性半導体記憶装置。

(2) 前記消去モードにおいて、消去したくない範囲のメモリセルの制御ゲートに前記第2導電型ウェルに与える電位と同じ極性の制御電位を与えることを特徴とする請求項1記載の不揮発性半導体記憶装置。

3. 発明の詳細な説明

【発明の目的】

【産業上の利用分野】

本発明は、浮遊ゲートと制御ゲートを有し、ホットエレクトロン注入とトンネル電流による放出を利用して電気的書き込みと消去を可能としたメモリセルを用いた不揮発性半導体記憶装置 (EEPROM) に関する。

【従来の技術】

EEPROMの分野で、浮遊ゲートを持つMOSFET構造のメモリセルを用いた一括消去

特開平4-72671 (2)

型（フラッシュ型）EEPROMが広く知られている。そのメモリセルアレイは、互いに交差する行線と列線の各交差位置にメモリセルを配置して構成される。書き込みは、選択されたメモリセルの制御ゲートおよびドレインに正電位を印加してこれをオン状態とし、チャネル電流を流してドレン近傍でホットエレクトロンを生成し、これを浮遊ゲートに注入することにより行われる。これにより、メモリセルはしきい値が正方向に移動して“1”状態となる。一括消去は、全メモリセルの制御ゲートを0Vに保ち、共通ソースに高電位を印加して、浮遊ゲート中の電子をトンネル電流によりソース拡散層に放出させることにより行われる。これにより、メモリセルはしきい値が負方向に移動した“0”状態となる。

この様なホットエレクトロン注入／トンネル放出を利用したEEPROMでは、消去時にソース拡散層に高電位が印加されるため、浮遊ゲートとソース拡散層の重なる領域の基板表面でバンド間トンネリングによる電流が流れれる。これは、微細

MOSFETにおいてドレインリード電流の原因として最近注目されているもの、すなわちゲート・ドレン間に高電圧が印加されたとき、ゲート電極と重なるドレン拡散層表面で生じる表面ブレーキダウンと同じである。このトンネリング現象により電子電流とホール電流が生成されるが、そのうちホールはp型ウェル内に入って加速されてホットになり、その一部がトンネル絶縁膜中に注入されトラップされる。これは、電子から見てトンネル絶縁膜のバリア高さが低くなることを意味し、したがってメモリセルのデータ保持特性を劣化させる原因となる。

（発明が解決しようとする課題）

以上のように従来のホットエレクトロン注入／トンネル放出を利用したEEPROMでは、消去時に浮遊ゲートに無用なホール注入が生じ、これがデータ保持特性を劣化させるという問題があった。

本発明は、この様なデータ保持特性の劣化を防止した、ホットエレクトロン注入／トンネル放出

を利用したEEPROMを提供することを目的とする。

【発明の構成】

（課題を解決するための手段）

本発明にかかるEEPROMは、第1導電型の半導体基板に形成された第2導電型ウェルに複数のメモリセルが配列形成され、メモリセルは、第2導電型ウェル内に形成された第1導電型のソースおよびドレン拡散層、これらソース、ドレン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された浮遊ゲート、およびこの浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートを有する。

この様な基本構成を有するEEPROMにおいて本発明では、

①選択されたメモリセルをオン状態としてドレン拡散層近傍でホットキャリアを生成し、そのホットキャリアを浮遊ゲートに注入する書き込みモードと、

②所定範囲の複数のメモリセルの制御ゲートを

0Vとし第2導電型ウェルに高電位を与えて、その範囲のメモリセルの浮遊ゲートのキャリアを第2導電型ウェルにトンネル電流により放出させる消去モードと、

を有することを特徴とする。

（作用）

本発明によれば、消去時、浮遊ゲートとウェル間でのトンネリングにより浮遊ゲートのキャリア放出が行われる。したがって従来のように浮遊ゲートとソース拡散層間でのトンネリングを利用した場合と異なり、基板内でバンド間トンネリング現象が生じることはなく、浮遊ゲートに無用なキャリアが注入されることがない。これにより、信頼性の高いフラッシュ型EEPROMが得られる。

（実施例）

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例のフラッシュ型EEPROMのドレンを共通にした2個のメモ

特開平4-72671 (3)

リセル M1, M2 の部分を示す平面図である。第 2 図 (a), (b) はそれぞれ第 1 図の A-A', B-B' 断面図である。n 型シリコン基板 1 のメモリセルアレイ領域には周辺回路とは別に p 型ウェル 2 が形成され、この p 型ウェル 2 の素子分離絶縁膜 3 で囲まれた領域にメモリセルが形成されている。すなわちメモリセル M1, M2 は、p 型ウェル 2 上にトンネル酸化膜 4 を介して第 1 層多結晶シリコン膜による浮遊ゲート 5 (51, 52) が形成され、この上に周間絶縁膜 6 を介して第 2 層多結晶シリコン膜による制御ゲート 7 (71, 72) が積層形成されて構成されている。

例えば、トンネル酸化膜 4 は 50 ~ 200 Å の熱酸化膜であり、周間絶縁膜 6 は 140 ~ 400 Å の熱酸化膜である。浮遊ゲート 5 は各メモリセル毎に分離形成される。制御ゲート 7 は、第 1 図の横方向に連続して複数のメモリセルに共通の制御ゲート線 CG (CG1, CG2) となる。これら制御ゲート 7 および浮遊ゲート 5 に自己整合されてソース、ドレインとなる p 型拡散層 8

p 型ウェル P WELL, 非選択の制御ゲート線 CG2 および非選択のビット線をすべて 0 V とする。これにより、選択メモリセル M1 ではチャネル電流が流れ、ドレイン近傍で生成されたホットエレクトロンがトンネル絶縁膜を介して浮遊ゲートに注入される。この結果、しきい値は正方向に移動して例えば、3 ~ 9 V となり、"1" 書き込みがなされる。非選択のメモリセル M2 ではチャネル電流が流れず、書き込みは行われない。

次にデータの一括消去は、すべての制御ゲート線 CG を 0 V とし、基板、p 型ウェル P WELL およびビット線 BL に十分高く昇圧された正の "H" レベル電位 (例えば 18 V) を印加する。これにより、すべてのメモリセルで浮遊ゲートから p 型ウェルにトンネル効果により電子が放出される。この結果しきい値は負方向に移動して、例えばしきい値が 0 ~ 3 V の "0" 状態になる。

メモリセル M1 のデータ読み出しは、基板、p 型ウェル P WELL および共通ソース線 SS を 0 V とし、選択された制御ゲート線 CG1 に例えば 2.5 V

(81, 82, 83, ...) が形成されている。こうしてメモリセルが形成された基板上は CVD 酸化膜 9 で覆われ、これにコンタクト孔が開けられてビット線 10 が配設されている。図では、二つのメモリセルの共通ドレインである n 型拡散層 83 に対してビット線 10 が接続されている部分を示している。ソースである n 型拡散層 81, 82 はそれぞれ、ビット線方向および制御ゲート線方向に隣接する図示しないメモリセルと共通のソース線 SS (SS1, SS2, ...) として形成されている。

第 3 図は、以上の二つのメモリセル M1, M2 部分の等価回路である。この等価回路を参照しながら次に、この実施例の EEPROM の動作を説明する。

まず、メモリセル M1 へのデータ書き込みは、選択された制御ゲート線 CG1 に正の "H" レベル電位 (例えば 12.5 V)、選択されたビット線 BL に正の "H" レベル電位 (例えば 8.5 V) を印加し、残りの端子すなわち共通ソース線 SS,

を与え、選択されたビット線 BL に例えば 1 ~ 5 V を与える。非選択の制御ゲート線 CG2 は 0 V とする。このときビット線 BL に電流が流れるとか否かにより、"0", "1" の判定が行われる。

以上の各動作モードでの電位関係を、第 4 図にまとめて示した。第 4 図には、従来の一括消去方式での電位関係を比較のために示している。

この実施例において、一括消去時、基板とメモリセルアレイを囲む p 型ウェルに "H" レベル電位を与えるが、このとき流れる電流は、各メモリセルの浮遊ゲートと p 型ウェル間のトンネル電流と、周辺回路を囲む p 型ウェルと基板間のリーク電流であり、高々 10 μA 以下である。したがって消去に用いられる "H" レベル電位は、チップ外部から与えられる電源電位 5 V から、内部昇圧回路により昇圧して得られるものを用いることができる。

そしてこの実施例においては、一括消去時はもちろん書き込み時にも、ソース或いはドレイン基

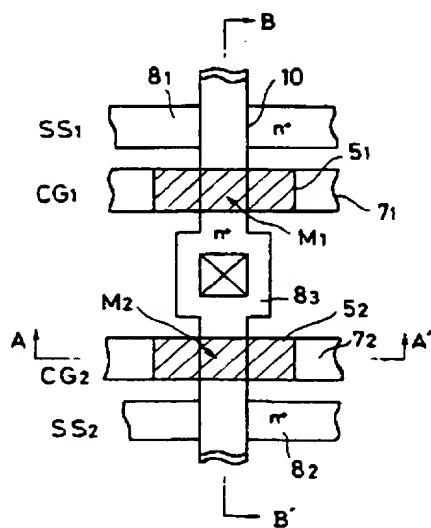
数層表面部で表面ブレークダウンを生じることはなく、したがってEEPROMとしてのデータ保持特性が向上する。

なお本発明において、一括消去は、メモリセルアレイの全てのメモリセルについて行うことができるが、ブロック消去も可能である。すなわちメモリセルアレイのうち消去したい範囲について、制御ゲートを0Vとし、消去たくない範囲では制御ゲートにn型ウェルと同じ“H”レベル電位を与えることによって、その範囲では元のデータを保持することができる。

また実施例では、NOR型のEEPROMを説明したが、本発明はNAND型のEEPROMにも同様に適用することが可能である。

【発明の効果】

以上述べたように本発明によれば、ホットエレクトロン注入による書き込みモードとトンネル放出による消去モードを有し、消去モードでは浮遊ゲートとウェル間のトンネリングを利用することによって信頼性向上を図ったEEPROMを提供



第1図

特開平4-72671 (4)

することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のEEPROMのメモリセルアレイを示す平面図、

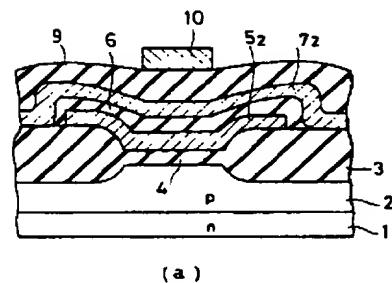
第2図(a) (b)は第1図のA-A', B-B'断面図、

第3図は同じく等価回路図、

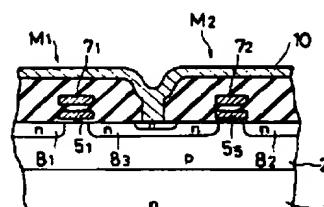
第4図は各動作モードの電位関係を示す図である。

1…n型シリコン基板、2…p型ウェル、3…電子分離絶縁膜、4…トンネル酸化膜、5…浮遊ゲート、6…層間絶縁膜、7…制御ゲート、8…n型拡散層、9…CVD酸化膜、10…ピット線。

出願人代理人弁理士 鈴江武彦



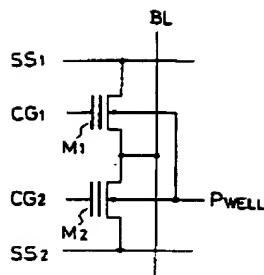
(a)



(b)

第2図

特開平4-72671 (5)



第3図

| | 一括消去 | 書き込み | 読出し | 一括消去(微細) |
|-------|------|------|-----|----------|
| BL | 18 | 8.5 | 1~5 | フローティング |
| SS1 | 18 | 0 | 0 | 18 |
| SS2 | 18 | 0 | 0 | 18 |
| CG1 | 0 | 12.5 | 2.5 | 0 |
| CG2 | 0 | 0 | 0 | 0 |
| PWELL | 18 | 0 | 0 | 0 |
| 基板 | 18 | 0 | 0 | 0 |

第4図